アプリケーションノート
T-55264GD057J-FW-ABN
（5.7インチTFT　透過型）

OPTREX CORPORATION　PM Division

Revision	Date	Approval	Check	Issue	Modification
0	July 25, '08	中澤	岡本	湯地	初版発行

目次

1. 適用……Page3
2. 一般仕様……Page3
3. 使用方法……Page4
3.1 適合コネクタ……Page4
(1) 表示側回路部……Page4
(2) ユーザー基板側適合コネクタ……Page4
(3) 照明側回路部適合コネクタ……Page4
3.2 駆動回路概要……Page5
3.3 液晶モジュールの動作……Page6
(1) 使用……Page6
(2) 本モジュールとの結線……Page6
3.4 C Code……Page9
3.5 CFLインバーターの動作……Page12

1. 適用

本アプリケーションノートは、オプトレックス㈱が製造するTFT－LCDモジュール（品番: T-55264GD057JU-FW-ABN)に適用する。

仕様詳細は本モジュールの仕様書を参照願います。

2. 一般仕様

項目	仕様
画面サイズ	5.7 インチ
有効表示エリア	117.88(W) × 88.24(H) mm
画素数	320(W) × 3[R,G,B] × 240(H)
画素サイズ	0.12(W) × 3[R,G,B] × 0.36(H)mm
画素配列	RGB ストライプ
色数	260k 色
表示モード	ノーマリーホワイト
視角	6時（反転しにくい角度）
インターフェイス	18bits digital RGB （6bits /collor）
外形寸法	144.0(W) × 104.6.*(H) × 13.5Max（D）mm ＊CFLケーブルは除く
照明仕様	CFL （白色）
重量	255.0gMax

3. 使用方法

3.1. 適合コネクタ

(1) 表示側回路部

表示側回路部コネクタは33極のFPC/FFCが適合する。

(2)ユーザー基板側適合コネクタ

表示側回路部コネクタと接続するためのFPC/FFCを客先回路側で受けるために以下のコネクタが挙げられます。

<コネクタ仕様>

メーカー	Omron	Molex
型式	XF2M-3315-1A	54132-3397
極数	33 pin	33 pin
ピッチ	0.5 mm	0.5 mm
ケーブル	Zero insertion force (ZIF) Right angle	Zero insertion force (ZIF) Right angle
接点方向	Top and Bottom	Bottom
FPC厚み	0.30 mm thick	0.30 mm thick
ロックタイプ	Rear rotary lock	Front slide lock

(3)照明側回路部適合コネクタ

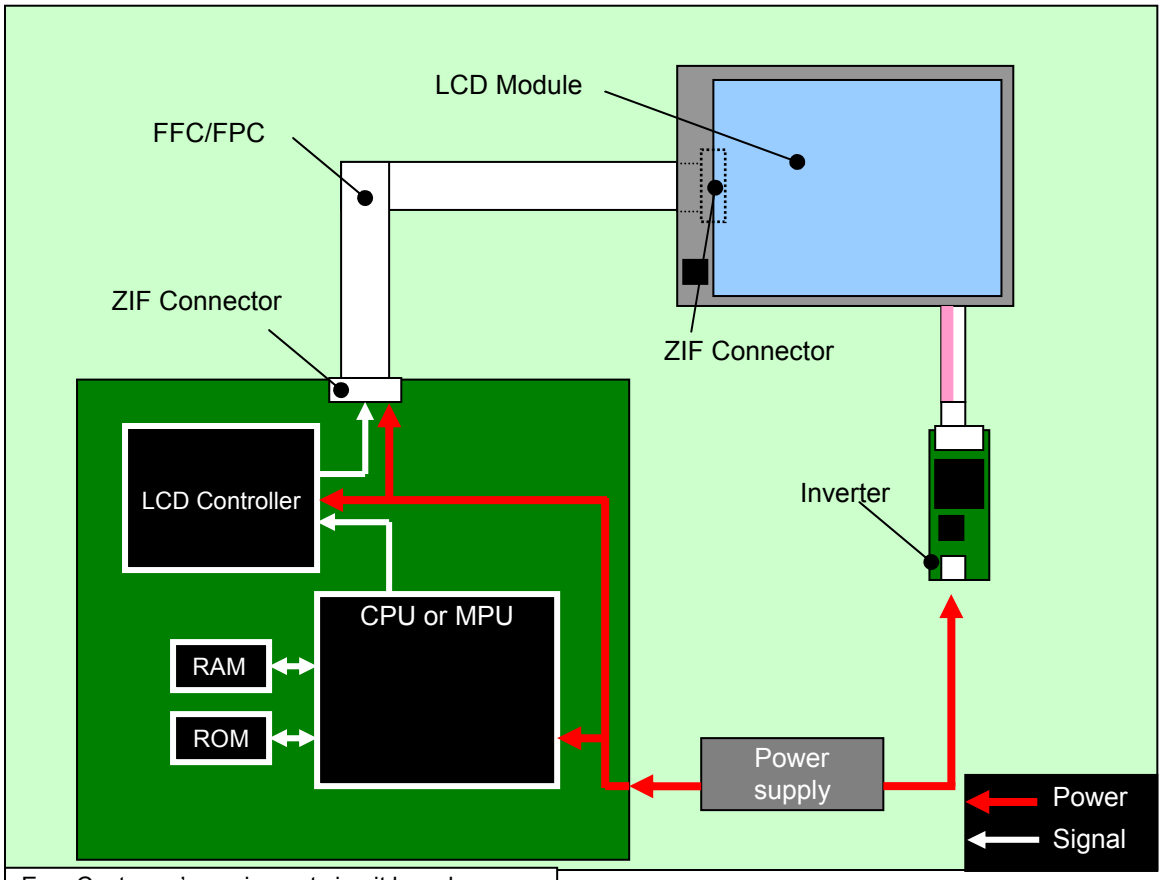
照明側回路部コネクタは3極のコネクタに適合する。

<コネクタ仕様>

Produced by	JST
Type Number	SM03(4.0)B-BHS-1-TB
Pin Numbers	3

3.2　駆動回路概要

本モジュールを駆動する際の駆動回路を下図のようにブロック図に示します。



3.3 Example of driving the LCD Controller

(1)使用

本MDLの動作確認として以下のLCDコントローラーを使用して動作確認を実施。

型式名:S1D13743 (セイコーエプソン製)

詳細はセイコーエプソン社から発行されているデータシートを参照のこと。

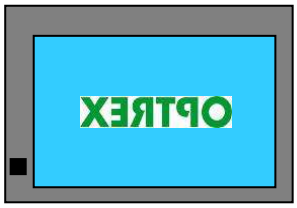
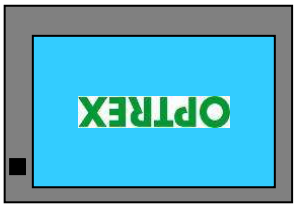
また、十分評価した上でご使用願います。

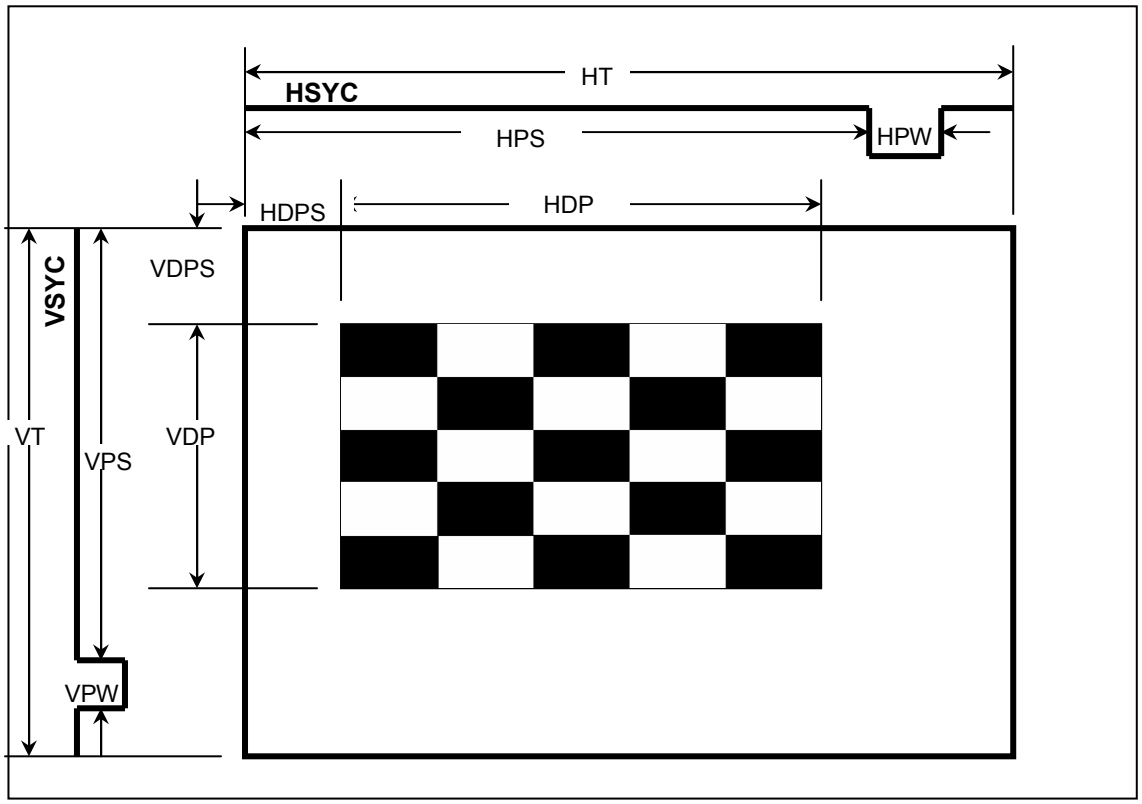
(2)本モジュールとの結線

本モジュールとLCDコントローラの結線例を以下に示します。

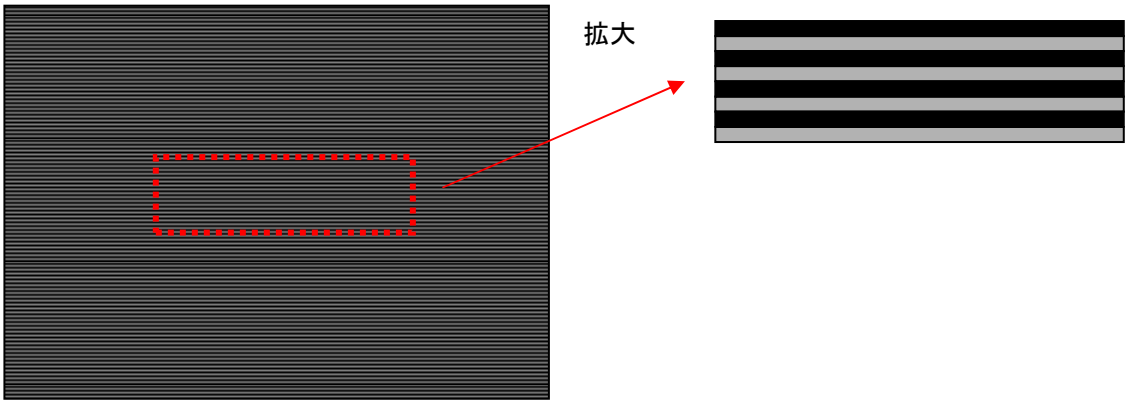
本モジュールのピン番号	S1D15743側のピン番号	信号名(S1D側)
1	―	GND
2	8	CK
3	4	HSYNC
4	5	VSYNC
5	2	GND
6	20	R0(VD16)
7	40	R1(VD17)
8	45	R2(VD18)
9	50	R3(VD19)
10	55	R4(VD20)
11	60	R5(VD21)
12	2	GND
13	38	G0(VD8)
14	44	G1(VD9)
15	48	G2(VD10)
16	51	G3(VD11)
17	56	G4(VD12)
18	61	G5(VD13)
19	2	GND
20	39	B0(VD0)

本モジュールのピン番号	S1D15743側のピン番号	信号名(S1D側)
21	43	B1(VD1)
22	49	B2(VD2)
23	54	B3(VD3)
24	57	B4(VD4)
25	62	B5(VD5)
26	2	GND
27	3	ENAB (DE)
28	1	VCC
29	1	VCC
30	–	R/L
31	–	U/D
32	–	NC
33	2	GND

U/D = 1 R/L = 0	U/D = 0 R/L = 0	U/D = 0 R/L = 0	U/D = 1 R/L = 1
			



（注）ライン反転時の注意事項
本モジュールは液晶駆動波形としてらい反転を使用しております。
ライン反転は1ラインごとに駆動波形を反転させて表示させていることから、下記表示パターン（黒ーグレー）にて、フリッカー（画面チラツキ）が強調されます。
下記表示パターンを背景とした表示を行わないことを推奨します。



3.4 C Code

下記にCソースコード例を示します。

```
//「PowerON_Sequence」電源ON時の設定
//「PowerOFF_Sequence」電源OFF時の設定
//「Display_output」 表示画像の設定
//ご使用の開発環境に合わせたヘッダファイル定義をお願いします 。

//*********************************************************
void Transfer_S1D13743(short reg ,short data)
{
        //-------------------------------------
        // index register write(intel80 16bit)
        clear_bit( IO_DC );                     //DC Low
         Pararel_16bitout( reg );
        //-------------------------------------
        // instruction write(intel80 16bit)
        set_bit( IO_DC );                       //DC High
         Pararel_16bitout( data );
}

//*********************************************************
// The reference setting of Power On
//          320x240dots 18-bit TFT panel
//   CoreVdd = PLLVdd =1.50V input
//   IOVdd   = PIOVdd =3.30V input
//          CLKI    =  4.096MH
//          SYSCLK  = 49.152MHz
//*********************************************************
void PowerON_Sequence(void)
{
        clear_bit( IO_RES );                    //Reset Low
         delay_ms(1);                           //1ms wait
        set_bit( IO_RES );                      //Reset High
        delay_ms(10);                           //10ms wait

        //=====================================================
        // S1D13743 intialize
        //=====================================================
        Transfer_S1D13743(0x56 ,0x02);          //REG[56h] enter sleep mode
        //-------- CLK configuraion --------
        Transfer_S1D13743(0x04 ,0x03);          //REG[04h] PLL M-divide
                                                //PLLin=CLKI/4=1.024MHz
        Transfer_S1D13743(0x06 ,0xf8);          //REG[06h] PLL setting 0
        Transfer_S1D13743(0x08 ,0x80);          //REG[08h] PLL setting 1
        Transfer_S1D13743(0x0a ,0x28);          //REG[0Ah] PLL setting 2
        Transfer_S1D13743(0x0c ,0x00);          //REG[0Ch] PLL setting 3
        Transfer_S1D13743(0x0e ,0x2f);          //REG[0Eh] PLL setting 4
                                                //LL=48 PLLCLK=49.152MHz
        Transfer_S1D13743(0x12 ,0x31);          //REG[12h] Clock source select
                                                //PCLK=7.022MHz SYSCLK=49.152MHz
        //-------- Panel configuraion --------
        //FLM = 7.022MHz/(320+88)/(240+22) = 65.69Hz
        //1clk(R6,G6,B6)=18bit
        Transfer_S1D13743(0x14 ,0x00);          //REG[14h] Panel Type
                                                //0b:18bit /1b:24bit
        Transfer_S1D13743(0x16 ,0x28);          //REG[16h] Horizontal display width
                                                //HDP = 320
```

```
                Transfer_S1D13743(0x18 ,0x58);      //REG[18h] Horizontal non- display period
                                                    //HNDP = 88
                Transfer_S1D13743(0x1a ,0xf0);      //REG[1Ah] Vertical display height 0
                Transfer_S1D13743(0x1c ,0x00);      //REG[1Ch] Vertical display height 1
                                                    //VDP = 240
                Transfer_S1D13743(0x1e ,0x16);      //REG[1Eh] Vertical non-display period
                                                    //VNDP = 22
                Transfer_S1D13743(0x20 ,0x10);      //REG[20h] HS pulse width
                                                    //HSW = 16 pixels
                Transfer_S1D13743(0x22 ,0x20);      //REG[22h] HS pulse start position
                                                    //HPS = 32 pixels
                Transfer_S1D13743(0x24 ,0x02);      //REG[24h] VS pulse width
                                                    //VSW = 2 lines
                Transfer_S1D13743(0x26 ,0x04);      //REG[26h] VS pulse start position
                                                    //VPS = 4 lines
                Transfer_S1D13743(0x28 ,0x80);      //REG[28h] PCLK polarity
                                                    //80h: ↑
                Transfer_S1D13743(0x2a ,0x02);      //REG[2Ah] Input mode
                                                    //RGB 6:6:6
                //-------- GPIO configuraion --------
                //GPIO0=RL , GPIO1=U/D
                Transfer_S1D13743(0x5a ,0x03);      //REG[5Ah] GPIO configuration
                                                    //b1-0 output
                Transfer_S1D13743(0x5c ,0x02);      //REG[5Ch] GPIO port
                                                    //U/D=1 , RL=0
                Transfer_S1D13743(0x56 ,0x00);      //REG[56h] disable sleep mode
                delay_ms(10);                       //10ms wait
}

//*******************************************************
// The reference setting of Power Off
//*******************************************************
void PowerOFF_Sequence(void)
{
                Transfer_S1D13743(0x56 ,0x02);      //REG[56h] enter sleep mode
                delay_ms(100);                      //100ms wait
                clear_bit( IO_RES );                //Reset Low
}
```

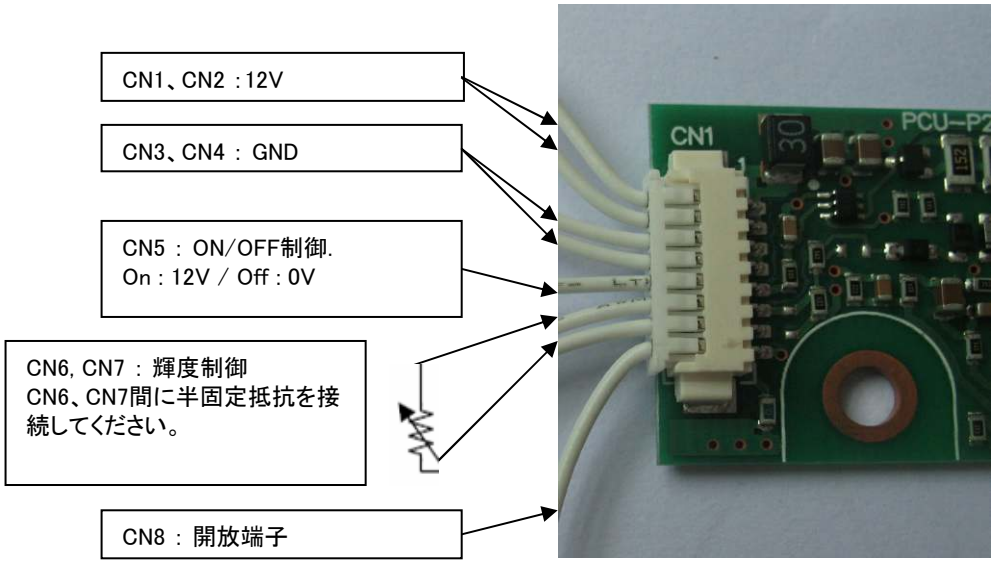
```
//*********************************************************
// Write the image data to the Memory Data Port
//*********************************************************
void Display_output(short xdot ,short ydot)
{
        short           x,y;

        //-------- Window Aria set ----------
        Transfer_S1D13743(0x38 ,0x00);          //REG[38h] Window X Start Position0
        Transfer_S1D13743(0x3a ,0x00);          //REG[3Ah] Window X Start Position1
        Transfer_S1D13743(0x3c ,0x00);          //REG[3Ch] Window Y Start Position0
        Transfer_S1D13743(0x3e ,0x00);          //REG[3Eh] Window Y Start Position1

        Transfer_S1D13743(0x40 ,LOBYTE(xdot-1));    //REG[40h] Window X End Position0
        Transfer_S1D13743(0x42 ,HIBYTE(xdot-1));    //REG[42h] Window X End Position1
        Transfer_S1D13743(0x44 ,LOBYTE(ydot-1));    //REG[44h] Window Y End Position0
        Transfer_S1D13743(0x46 ,HIBYTE(ydot-1));    //REG[46h] Window Y End Position1

        clear_bit( IO_DC );                     //DC Low
        Pararel_16bitout( 0x48 );               //REG[48h]

        set_bit( IO_DC );                       //DC High
        //-------- bit map data out ----------
        // 1dot=18bpp=RRRRRRxx GGGGGGxx BBBBBBxx    // 1dot=24bpp=RRRRRRRR GGGGGGGG BBBBBBBB
        for(y=0 ; y<ydot ; y++) {
                for(x=0 ; x<xdot ; x+=2) {
                        Pararel_16bitout( (  Reg(x  ,y)<<8)|(Green(x  ,y));
                        Pararel_16bitout( ( Blue(x  ,y)<<8)|(  Red(x+1,y));
                        Pararel_16bitout( (Green(x+1,y)<<8)|( Blue(x+1,y));
                }
        }
}
```

3.5　CFLインバーターの動作

照明回路を駆動させるために、以下インバーターを使用することができます。
　　型式名 :CXA-0490 （TDK製）
詳細はTDK社から発行されているデータシートを参照のこと。
また、十分評価した上でご使用願います。